

09/1666.271

008021907    \*\*Image available\*\*  
WPI Acc No: 1989-287019/198940  
Related WPI Acc No: 1999-290126; 1999-290127  
XRPX Acc No: N89-219139

**Self-scanning array of light-emitting element array - is arranged so that each thyristor turned-on provides light to next thyristor to be turned on to reduce its threshold level**

Patent Assignee: NIPPON SHEET GLASS CO LTD (NIPG )  
Inventor: KUSUDA Y; TANAKA S; TONE K; YAMASHITA K  
Number of Countries: 005    Number of Patents: 012  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 335553	A	19891004	EP 89302751	A	19890320	198940    B
JP 1238962	A	19890925	JP 8865392	A	19880318	198944
JP 2014584	A	19900118	JP 88164353	A	19880701	199009
JP 2092651	A	19900403	JP 88246630	A	19880930	199019
JP 2212170	A	19900823	JP 89205193	A	19890808	199040
EP 335553	A3	19940105	EP 89302751	A	19890320	199516
US 5451977	A	19950919	US 89324197	A	19890316	199543
			US 92860203	A	19920326	
			US 9384766	A	19930628	
JP 9022268	A	19970121	JP 8865392	A	19880318	199713
			JP 96137806	A	19880318	
JP 9216416	A	19970819	JP 8865392	A	19880318	199743
			JP 96137804	A	19880318	
US 5814841	A	19980929	US 89324197	A	19890316	199846
			US 92860203	A	19920326	
			US 9384766	A	19930628	
			US 95426060	A	19950421	
EP 335553	B1	19990915	EP 89302751	A	19890320	199942
			EP 99200060	A	19890320	
			EP 99200061	A	19890320	
DE 68929071	E	19991021	DE 629071	A	19890320	199950
			EP 89302751	A	19890320	

Priority Applications (No Type Date): JP 88263402 A 19881019; JP 8865392 A 19880318; JP 88164353 A 19880701; JP 88246629 A 19880930; JP 88246630 A 19880930; JP 89205193 A 19890808; JP 96137806 A 19880318; JP 96137804 A 19880318

Cited Patents: -SR.Pub; 3.Jnl.Ref; EP 210898; AGB 2099221; AJP60201679; AJP61248483; AUS 3680049; AUS 3696389

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 335553	A	E	68		

Designated States (Regional): DE FR GB

US 5451977	A	59	G09G-003/32	Cont of application US 89324197 Cont of application US 92860203
JP 9022268	A	14	G09G-003/14	Div ex application JP 8865392
JP 9216416	A	10	B41J-002/44	Div ex application JP 8865392
US 5814841	A		H01L-029/74	CIP of application US 89324197 CIP of application US 92860203 CIP of application US 9384766 CIP of patent US 5451977
EP 335553	B1 E		H01L-033/00	Related to application EP 99200060 Related to application EP 99200061 Related to patent EP 917212 Related to patent EP 917213

Designated States (Regional): DE FR GB

DE 68929071	E		H01L-033/00	Based on patent EP 335553
-------------	---	--	-------------	---------------------------

Abstract (Basic): EP 335553 A

An array of light-emitting thyristor elements (T-2) to T+2 is provided, arranged in a line. Each one of three transfer clock lines (phi1, phi2, phi3) is connected to a corresponding anode electrode of

every third element. The thyristors are arranged so that light emitted from an element which is turned on is incident on another element which is required to be turned on next, so that the turn-on threshold voltage of that element is reduced.

The integrated circuit structure of one embodiment of the array provides a multilayered structure having a grounded n-type gallium arsenide substrate (1) patterned by photolithography and selective etching to form the light-emitting elements. P-type semiconductor layers (21,23) and an n-type semiconductor layer (22) are formed on the substrate and provide the electrodes of the thyristor array. Each electrode (40) has an ohmic contact with the corresponding p-type layer (21) and a transparent, protective, insulating layer (30). Parallel drive pulses are supplied for transferring turn-on in the array direction at the drive pulse interval whilst propagating a change in threshold level in the direction of the array.

ADVANTAGE - Stable and reliable self-scanning of the array is achieved.

Dwg.2/62

Abstract (Equivalent): US 5451977 A

A self-scanning light-emitting element array comprising:

- an array of pnpn light-emitting elements disposed with a predetermined pitch along a longitudinal direction and separated by a grooved structure provided on said pnpn structure, integral to a common cathode layer and each having an anode and a gate for controlling its turn-on threshold;

- a first insulating film covering the entire upper surface of said grooved structure, said film having a plurality of contact holes therein;

- a plurality of crosswise electrodes provided on said first insulating film and each connected to said anode through a contact hole provided in said first insulating film;

- a plurality of coupling means each of which is coupled between said gates of neighbouring light-emitting elements through said contact holes

- a second insulating film covering the whole upper surface of said first insulating film having another set of contact holes therein; and

- first, second and third longitudinal clock lines provided on said second insulating film, each connected via said crosswise electrode through said contact holes in said second insulating film to said anodes of said first, second and third groups of said light-emitting elements in every third fashion.

(Dwg.1/62)

Title Terms: SELF; SCAN; ARRAY; LIGHT; EMIT; ELEMENT; ARRAY; ARRANGE; SO; THYRISTOR; TURN; LIGHT; THYRISTOR; TURN; REDUCE; THRESHOLD; LEVEL

Derwent Class: P75; P85; T04; U12; U13; V08; W02

International Patent Class (Main): B41J-002/44; G09G-003/14; G09G-003/32; H01L-029/74; H01L-033/00

International Patent Class (Additional): B41J-002/45; B41J-002/455; G06K-015/12; H01L-027/10; H01L-027/15; H01L-031/111; H01S-003/19; H04N-001/028; H04N-001/036; H04N-001/04; H04N-005/66

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-G04; U12-A01; U12-A01A5; U12-A01B; U12-D01; U13-D04; V08-A04A; W02-J02B2; W02-J03A

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-238962

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)9月25日

B 41 J 3/21

G 09 G 3/32

H 01 L 33/00

H 01 S 3/096

L-7612-2C

7335-5C

A-7733-5F

J-7733-5F

7377-5F 審査請求 未請求 請求項の数 6 (全17頁)

⑮ 発明の名称 発光素子アレイおよびその駆動方法

⑯ 特 願 昭63-65392

⑰ 出 願 昭63(1988)3月18日

⑱ 発 明 者 楠 田 幸 久 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑲ 発 明 者 刀 根 潔 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

⑳ 発 明 者 山 下 建 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

㉑ 発 明 者 田 中 修 平 大阪府大阪市東区道修町4丁目8番地 日本板硝子株式会社内

㉒ 出 願 人 日本板硝子株式会社 大阪府大阪市東区道修町4丁目8番地

㉓ 代 理 人 弁理士 大野 精市

明 細 書

1. 発明の名称

発光素子アレイおよびその駆動方法

2. 特許請求の範囲

(1) a. 小さい電圧もしくは小さい電流が外部から光によって制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、

b. 各発光素子から発生する光の少なくとも一部が、各発光素子近傍の他の発光素子に入射するように構成し、

c. 各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、

発光素子アレイ。

(2) 該発光素子からの光が、一定方向の隣接発光素子により多く入射するように構成されてなる請求項1項記載の発光素子アレイ。

(3) a. 小さい電圧もしくは小さい電流が外部から電気的に制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、

b. 各発光素子の小さい電圧もしくは小さい電流

を制御する電極を互いに電気的手段にて接続し、  
c. 各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、

発光素子アレイ。

(4) 該発光素子の小さい電圧もしくは小さい電流を制御する電極が、互いに抵抗を介して接続されてなる請求項3項記載の発光素子アレイ。

(5) 該発光素子が、P導電形半導体領域及びN導電形半導体領域を複数積層した異性抵抗を有する発光素子である請求項1項ないし4項記載の発光素子アレイ。

(6) a. 小さい電圧もしくは小さい電流が外部から制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、

b. ある発光素子のON状態が、その発光素子近傍の他の発光素子の小さい電圧もしくは小さい電流を変化させるように構成し、

c. ON状態の発光素子により小さい電圧もしくは小さい電流を変化させられた次駆動発光素子をONさせ、かつ、小さい電圧もしくは小さい電流

を活性化させられていないかまたは活性化せられた量が次駆動発光素子ほどではない発光素子はONさせない、電圧パルスもしくは電流パルスを、発光素子に印加させ、

d. 発光素子の発光強度を増加させるよう、前記電圧及び電流パルスに同期させて電圧及び電流を発光素子に印加させ、

ON状態を順次転送させる発光素子アレイの駆動方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は発光素子を同一基板上に集積した発光素子アレイへの自己走査機能の付与に関するものである。

#### 〔従来の技術〕

発光素子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, GaAlAs等) のPNまたはPIN接合を形成し、こ

れに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構造となっている。あるしきい値電流以上の電流をながすと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍(利得)が発生し、へき面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

これらLED、LDと同じ発光メカニズムを有する発光素子として発光機能を持つ負性抵抗素子(発光サイリスタ、レーザサイリスタ等)も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている。(青木昌治編著、「発光ダイオード」工業調査会、pp157~169参照)

この発光機能を持つ負性抵抗素子(ここでは発

光サイリスタと呼ぶ)の基本構造及び電流-電圧特性を第22図、第23図に示す。第22図に示す構造はN形GaAs基板上にPNPN構造を形成したものでサイリスタとまったく同じ構成である。第23図も同様にサイリスタとまったく同じS字形負性抵抗を表している。サイリスタも第22図の2端子のみでなく、第24図に示す3端子サイリスタも知られている。この3端子サイリスタのゲートはON電圧を制御する働きを持ち、ON電圧はゲート電圧に数値電位を加えた電圧となる。またONした後、ゲート電極はカソード電圧とほぼ一致するようになる。カソード電極が接地されていればゲート電極は正ボルトとなる。またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

さらにこの発光サイリスタの中に導波路を設けLDとまったく同じ原理でレーザサイリスタを形成する事もできる(田代他、1987年秋応用物理学会講演、番号18p-ZC-10)。

これらの様な発光素子、特にLEDは化合物半

導体基板上に多数個作られ、切断されて一つ一つの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用及びプリンタ用光源としてのLEDは一つのチップ上に複数個のLEDを並べたLEDアレイとして販売されている。

#### 〔発明が解決しようとする課題〕

一方密着形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機能(光走査機能)が必要であった。

しかし、これらの従来の発光素子を用いて光走査を行うためには、LEDアレイのなかに作られている一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させてやる必要があった。このためLEDの数が多い場合、同数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまいうという欠点があった。また、駆動ICを設置するスペースを確保

することが必要となり、コンパクト化が困難という欠点を顕現していた。またしきい電圧を重なるピッチもワイヤボンディングの技術で定まり、短ピッチ化が難しいという欠点があった。

〔課題を解決するための手段〕

本発明は発光素子アレイ自身に自己走査機能をもたせることにより、従来例で挙げたワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決しようとするものである。発光素子アレイが自己走査することにより駆動ICは不必要となり、従ってワイヤボンディングが不要となる。このため先に述べた不具合は解消される。

本発明は、

- a. しきい電圧もしくはしきい電流が外部から光によって制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、
- b. 各発光素子から発生する光の少なくとも一部が各発光素子近傍の他の発光素子に入射するように構成し、

c. ON状態の発光素子によりしきい電圧もしくはしきい電流を変化させられた次駆動発光素子をONさせ、かつ、しきい電圧もしくはしきい電流を変化させられていないかまたは変化させられた量が次駆動発光素子ほどではない発光素子はONさせない、電圧パルスもしくは電流パルスを、発光素子に印加させ、

d. 発光素子の発光強度を増加させるよう、前記電圧及び電流パルスに同期させて電圧及び電流を発光素子に印加させ、

ON状態を順次転送させる発光素子アレイの駆動方法により駆動させることができる。

上記光を用いて近傍の他の発光素子のしきい電圧もしくはしきい電流を変化させる発光素子アレイにおいては、ON状態の発光素子からの光が、移動方向に位置する発光素子により多く入射するよう構成すれば、走査に必要とされる電圧及び電流パルスの系列を2系列とすることもできる。

また、上記電気的手段による発光素子の接続を用いて、近傍の他の発光素子のしきい電圧もしくは

c. 各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、

自己走査機能を持った、発光素子アレイである。

また、本発明は

a. しきい電圧もしくはしきい電流が外部から電氣的に制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、

b. 各発光素子のしきい電圧もしくはしきい電流を制御する電極を互いに電氣的手段にて接続し、

c. 各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続、

するように発光素子アレイを構成しても実施できる。

上記発光素子アレイは、例えば

a. しきい電圧もしくはしきい電流が外部から制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、

b. ある発光素子のON状態が、その発光素子近傍の他の発光素子のしきい電圧もしくはしきい電流を変化させるように構成し、

はしきい電流を変化させる発光素子アレイにおいては、各発光素子のしきい電圧もしくはしきい電流を制御する電極を、互いに抵抗を介して接続すること等によって、実施することができる。

本発明に使用する発光素子としては、しきい電圧もしくはしきい電流が外部から制御可能な発光素子であれば、任意の発光素子が使用できる。なかでも、例えばP導電形半導体領域及びN導電形半導体領域を積層した発光素子等の、(例えば従来例にて説明したような発光サイリスタ、レーザサイリスタ等の)負性抵抗を有する発光素子を用いることが好ましい。

〔作用〕

本考案では発光素子のターンオン電圧または電流が、べつの発光素子のON状態によって影響を受けるよう、即ち、相互作用をするよう構成されているため、実施例にて詳細に述べるように発光の自己走査機能をもつことができる。

〔実施例〕

実施例A

ここで説明する実施例Aは相互作用の媒介として光を利用するものである。

#### <実施例A-1>

実施例A-1の原理の等価回路図を第1図に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。

発光サイリスタ $T_{111} \sim T_{113}$ は、一列に並べられた構成となっている。各単体発光素子のアノード電極に3本の転送クロックライン( $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ )がそれぞれ3素子おきに(繰り返される様に)接続される。従来例にて説明したように発光サイリスタは光を感じてそのターンオン電圧が低下する特性を持つ。発光サイリスタをその発光が互いの素子に入射するよう構成すると、発光素子に距離的に近い素子、または光がよくあたるよう配置された素子はそのターンオン電圧が下がることになる。

第1図の等価回路図の動作について説明する。今転送クロックライン $\phi_3$ のハイレベルパルス電

圧が加わっており、発光サイリスタ $T_{111}$ がON状態になっているとする。発光サイリスタ $T_{111}$ からの発光は隣接する発光サイリスタ $T_{112}$ ,  $T_{113}$ に入射し、これらのON電圧を引き下げる。発光サイリスタ $T_{112}$ ,  $T_{113}$ は、発光サイリスタ $T_{111}$ ,  $T_{113}$ に比べ遠方にあるため入射光は弱く、ON電圧はそれほど低下しない。この状態で、次にクロックライン $\phi_1$ にハイレベルパルス電圧を印加する。発光サイリスタ $T_{111}$ のON電圧は発光サイリスタ $T_{112}$ のON電圧に比べ光の影響で低下しているため、発光サイリスタ $T_{111}$ のON電圧と発光サイリスタ $T_{112}$ のON電圧の間の電圧に、転送クロックのハイレベル電圧を設定すると発光サイリスタ $T_{112}$ のみONし、発光サイリスタ $T_{111}$ はONしないようにすることができる。よって発光サイリスタ $T_{111}$ ,  $T_{112}$ が同時にONする状況が生まれる。そしてクロックライン $\phi_2$ をローレベル電圧に落とすと、発光サイリスタ $T_{112}$ はOFFとなり、発光サイリスタ $T_{113}$ のみONすることになる。よってON状態の転送が行われ

たことになる。

上に述べたような原理から、転送クロック $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ のハイレベル電圧を順番に互いに少しづつ重なるように設定すれば、発光素子のON状態は順次転送されていく。即ち、発光点が順次転送される。

本実施例によると、従来ではできなかった自己走査形発光素子アレイを実現することができる。

#### <実施例A-2>

実施例A-1では等価回路を示し説明したが、実施例A-2では実施例A-1を集積化して作成する場合の構成についての考察を説明するものである。

本発明の構造概念図を第2図に示す。接地されたN形GaAs基板(1)上にP形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子 $T_{111} \sim T_{113}$ に分離する。電極(40)はP形半導体層(21)とオーミック接触をしており、絶縁層(3

0)は素子と配線との短絡を防ぎ、同時に特性劣化を防ぐための保護膜として作用する。ここで、絶縁層(30)には発光サイリスタの発光波長の光が通るような材質をもちいている。

P形半導体層(21)はこのサイリスタのアノードであり、N形GaAs基板(1)はカソードである。各単体発光素子のアノード電極(40)に3本の転送クロックライン( $\phi_1$ ,  $\phi_2$ ,  $\phi_3$ )がそれぞれ3素子おきに接続される。

発光サイリスタのON電圧が素子に入射する光量に依存して変化することは一般に知られている。従ってON発光サイリスタの光の一部が隣接する発光サイリスタに入射するよう構成されていれば、ON発光サイリスタに近い発光サイリスタのON電圧は、光がない場合に比べ低下する。

第2図の構造では絶縁層(30)が発光波長に対し透明な膜で形成されているため、光は容易に隣接する素子に入りそのON電圧を低下させることができる。

上記発光素子アレイの動作は、実施例A-1で

説明した動作とまったく同様である。

上に述べたような原理から、転送クロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ のハイレベル電圧を順番に互いに少しづつ異なるように設定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。本実施例によると、従来ではできなかった集積化された光結合による自己走査形発光素子アレイを実現することができる。

#### <実施例 A-3>

本実施例は実施例 A-2 の現実的な構造を示したものである。

本実施例の平面図を第4図に、第4図の X-X' 及び Y-Y' ラインの断面図を、各々第5図および第6図示す。各発光素子 T<sub>1,1</sub> ~ T<sub>1,11</sub> の間には、発光素子の分離溝 (50) があり、分離溝 (50) の一部には発光素子からの光が周囲の素子以外の素子に入らないようにするための光障壁 (61) が設けられている。

本実施例では光障壁としてフィールド (60) の突起をもちいているが、別の物質を用いてもよ

いし、また形状も別の形状としてもよい。発光素子の上部電極にはコンタクト穴 C<sub>1</sub> が設けられ、電極 (40) と電気的に接続される。コンタクト穴 C<sub>2</sub> は、電極 (40) と転送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ との接続用スルーホールである。

転送クロックライン $\phi_1$ は発光素子 T<sub>1,1</sub> 及び T<sub>1,2</sub> に接続され、転送クロックライン $\phi_2$ は発光素子 T<sub>1,3</sub> に、転送クロックライン $\phi_3$ は発光素子 T<sub>1,4</sub> に接続されている。

第5図に第4図の X-X' ラインの断面図を示す。

これは発光素子アレイの配列方向に切ったラインであり、各発光素子が並んでいる様子がわかる。発光素子の分離溝 (50) には、発光素子と電極 (40) との短絡防止用の絶縁膜 (30)、および電極 (40) と転送クロックラインとの短絡防止用の層間絶縁膜 (31) がある。これらの絶縁膜 (30)、(31) は素子間の光結合を妨げぬよう透光性の絶縁膜でできている。または素子間の光結合を調節できるよう適度に光を吸収する絶縁膜を用いてもよい。さらには適度に光を吸収す

る絶縁膜と透光性の絶縁膜を適度の膜厚を調整し、重ねて用いてもよい。このような構成にすると素子間の光結合が可能となり、転送動作 (光走査動作) が行なえる。発光素子の構成は第21図に示した構成と同じである。

第6図に第4図の Y-Y' ラインの断面図を示す。これは発光素子アレイの配列方向に垂直に切ったラインであり、配線、電極の接続状況がわかる。発光素子の上部電極との取り出し用コンタクト穴 C<sub>1</sub> を絶縁膜 (30) に設け、電極 (40) にて外部に取り出す。そしてフィールド上に転送クロックライン $\phi_1$ とスルーホールを通じて接続される。

本実施例を実現するための製造工程としては次のような工程が挙げられる。

まず n 形 GaAs 基板上に n 形 GaAs 層 (24b)、n 形 AlGaAs 層 (24a)、p 形 GaAs 層 (23)、n 形 GaAs 層 (22)、p 形 AlGaAs 層 (21b)、p 形 GaAs 層 (21a) を順次積層して成膜 (エピタキシャル成長) する。次にホットエッチング法を用いて、分離溝 (50) を形成する。

この後、絶縁膜 (30) を成膜し、コンタクト穴 (C<sub>1</sub>) をホットエッチング法を用いて形成する。次に電極用金属を蒸着法またはスパッタ法にて成膜し、ホットエッチング法を用いて電極 (40) を形成する。さらに層間絶縁膜 (31) を成膜し、ホットエッチング法を用いてスルーホール (C<sub>2</sub>) を形成する。そして配線用金属を蒸着法またはスパッタ法にて成膜し、ホットエッチング法を用いて転送クロックライン ( $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ ) を形成する。以上の工程により本実施例の構造が完成する。

本実施例でとくに述べなかったが、転送クロックライン上に透光性の保護膜を設けてもよく、また絶縁膜が厚くなり光の透過率が悪化し外部に取り出せる光量が低下するのを避けるなら、発光素子の上部絶縁膜の一部または全部をホットエッチング法等の方法により除去してもよい。

本実施例によると集積形自己走査発光素子アレイを製造することができる。

#### <実施例 A-4>

実施例 A-2、A-3 は発光素子として発光サ

イリスタを考えた場合の実施例であったが、本発明はこれに限られるものでなく他の種類の発光素子であってもよい。

その一例として本実施例ではレーザサイリスタを使用する場合について述べる。

第6図に発光素子としてレーザサイリスタを使用した場合の断面構成図を示す。各発光素子(レーザサイリスタ)T<sub>1</sub>(11)~T<sub>1</sub>(13)は以下の構成で作成される。n形GaAs基板(1)上にn形AlGaAs(25)、p形AlGaAs(24)、i形(ノンドープ)GaAs(23)、n形AlGaAs(22)、p形AlGaAs(21)を順次積層した構造とし、n形AlGaAs(21)、p形AlGaAs(22)の層を図のように加工する。これは通常ストライプ形のレーザダイオードの形状と同じである。このn形AlGaAs(21)及びp形AlGaAs(22)の一部の幅は10μm以下とした。その他の部分は今までの第2図~第5図と同じである。

レーザサイリスタの動作として、レーザ発振電流に達するまでは通常の発光サイリスタとおなじ

動作であり、レーザ発振電流以下の電流成分による発光は等方的に出ていく。レーザ光は第6図の断面に垂直に出ていく。従ってレーザ光は本発明の光結合には寄与せず、レーザ発振電流以下の電流成分による発光のみが光結合に寄与する事になる。これ以外の転送動作の機構は実施例A-2と同じである。

本実施例によると、自己走査形半導体レーザアレイを構成することができる。

#### <実施例A-5>

第7図及び第8図に本発明の第5の実施例を示す。これは実施例A-4のより現実的な構造を示したものである。第7図は平面図を表し、第8図は第7図のラインX-X'にそっての断面図を示したものである。第5図の製造法を概説する。n形GaAs基板(1)上にn形AlGaAs(25)、p形AlGaAs(24)、i形(ノンドープ)GaAs(23)、n形AlGaAs(22)、p形AlGaAs(21)、上部電極(20)を順次積層する(p形AlGaAs(21)と上部電極(20)との

間にオーミック接触を良好にするためp形GaAs層を挟む場合もある。)。次にホットエッチングにより上部電極(20)を図中n形AlGaAs層(25)の幅と同じ幅を持つ長方形に加工し、これをマスクとして、p形AlGaAs(21)~n形AlGaAs(25)の層をエッチングする。この時に素子間の分電溝(50)が形成される。次にホットエッチングにより同じ上部電極(20)をさらにエッチングし、10μm以下の幅を持つストライプ状とし、これをマスクとして、p形AlGaAs(21)、n形AlGaAs(22)の層をエッチングする。n形AlGaAs(22)は全部除去せず一部残すようにする。さらに絶縁膜(30)を成膜し、ホットエッチングによりスルーホール(C<sub>2</sub>)を形成する。この後転送クロックライン用の配線金属を蒸着またはスパッタ等により形成し、ホットエッチングにより転送クロックライン(φ<sub>1</sub>、φ<sub>2</sub>、φ<sub>3</sub>)を形成する。そして最後にへき開等の手法によりレーザ光出力側の端面を平行度よく形成し、本実施例の構造ができる。

従来の集積化された発光素子アレイは、PN接合ダイオードを同一基板上にそれぞれ独立に形成しておき、ワイヤボンディング等を用いて一つ一つ外部に取り出し、駆動用のICで電圧を加え動作させるもので、ワイヤボンディング等の組立が面倒でコストが高くなっていた。これに対し、本実施例の発光素子アレイは転送クロックの3端子のみを外部に取り出せば良く、組立が相当簡単になる。同時に駆動ICを設けるスペースが不要となり、全体でみてよりコンパクトな自己走査発光素子アレイを作ることができる。さらに発光素子を並べるピッチが従来のボンディングの技術から定まっていたが、上述の実施例A-1~A-5によるとその規制がなくなり、よりピッチの小さい発光素子アレイを作ることができ、解像度の非常に高い機器に応用が可能である。

また、上記実施例A-1~A-5では転送クロックパルスとして、φ<sub>1</sub>、φ<sub>2</sub>、φ<sub>3</sub>の3相を想定したが、より安定な転送動作を求める場合にはこれを4相、5相と増加させてもよい。また発光サイ



リスタT<sub>101</sub>の発光を発光サイリスタT<sub>101</sub>より発光サイリスタT<sub>101</sub>の方へより多く入射させることにより2相のクロックにて動作させることも可能である。

また上記実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げるために、より複雑な構造、層構成を導入することも本発明の範囲に含まれる。その具体的な例としてダブルヘテロ構造の採用が挙げられる。一例を第21図に示す(田代他1987年春応用物理学会講演、番号28p-ZE-8)。これはN形GaAs基板の上に(0.5μmの)N形GaAs層を積み、その上にバンドギャップの広いN形AlGaAs(1μm)、P形GaAs層(5nm)、N形GaAs層(1μm)、バンドギャップの広いP形AlGaAs(1μm)、そして取り出し電極とのオーミック接触をとるためのP形GaAs層(0.15μm)積層した構造である。発光層は間に挟まれた、(1μmの)N形GaAs層である。これは注入された電子、正孔がバンドギャップの狭いGaAs層に閉じ込められ、こ

の領域で再結合し発光する。

発光素子は発光サイリスタである必要はなく、光によって自らのターンオン電圧が変化する発光素子であれば、特に限定されない。上述のレーザサイリスタであってもよい。

また、上記実施例ではPNPNのサイリスタ構成を例に説明したが、この光によってしきい電圧が低下し、これを利用して駆動動作を行わせるという構成は、PNPN構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNPN4層構成でなく、6層以上の構成でも同様な効果を期待でき、まったく同様な自己歪歪機能を達成することが可能である。さらには非電誘導(SI)サイリスタまたは電界制御サイリスタ(FCIT)と呼ばれるサイリスタを用いてもまったく同様である。このSIサイリスタまたはFCITは電流ブロックとして働く中央のP形半導体層を空乏層で置き換えた構造となっている(S. M. Sze 著、Physics of Semiconductor Physics, 2nd Edition pp238-240)。

さらに、上記実施例A-1~A-5では、発光素子を一列に並べているが、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。

また本発明は、発光素子を単体の個別部品で構成してもよく、またなんらかの方法で集積化することにより実現してもよい。

#### 実施例B

ここで説明する実施例Bは相互作用の媒介として電位を利用するものである。

#### <実施例B-1>

第1図~第8図に示してきた実施例A-1~A-5は光による結合を用いた場合についてであったが、本実施例は電位による結合を用いたものである。

その具体的な例として、第9図に本発明の実施例B-1の等価回路図を示す。本実施例の特徴は実施例A-1、即ち、第1図に抵抗ネットワークが加わった構成となっている。

発光素子の一例として、発光サイリスタT<sub>101</sub>、

~T<sub>101</sub>を用い、発光サイリスタT<sub>101</sub>~T<sub>101</sub>には、各々ゲート電極G<sub>101</sub>~G<sub>101</sub>が設けられている。各々のゲート電極には負荷抵抗R<sub>101</sub>を介して電源電圧V<sub>101</sub>が印加される。また、各々のゲート電極G<sub>101</sub>~G<sub>101</sub>は、相互作用を作るために抵抗R<sub>101</sub>を介して電気的に接続されている。また、各単体発光素子のアノード電極に3本の転送クロックライン(φ<sub>1</sub>、φ<sub>2</sub>、φ<sub>3</sub>)がそれぞれ3素子おきに(繰り返される様に)接続される。

動作を説明すると、まず転送クロックφ<sub>1</sub>がハイレベルとなり、発光素子T<sub>101</sub>がONしているとする。この時3端子サイリスタの特性からゲート電極G<sub>101</sub>は零ボルト近くまで引き下げられる(シリコンサイリスタの場合約1ボルトである)。電源電圧V<sub>101</sub>を仮に5Vとすると、負荷抵抗R<sub>101</sub>、抵抗R<sub>101</sub>のネットワークから各発光サイリスタのゲート電圧が決まる。そして発光素子T<sub>101</sub>に近い素子のゲート電圧が最も低下し、以降順にT<sub>101</sub>から離れるに従いゲート電圧は上昇していく。これは次のようにあらわされる。

$$V_{00} < V_{01} = V_{1-1} < V_{02} = V_{0-1} \quad (1)$$

これらの電圧の差は負荷抵抗 $R_L$ 、抵抗 $R_L$ の値を適当に選択することにより設定することができる。

3端子サイリスタのアノード側のターンオン電圧 $V_{00}$ はゲート電圧より低電位 $V_{01}$ だけ高い電圧となることが知られている。

$$V_{00} \approx V_{01} + V_{02} \quad (2)$$

従ってアノードにける電圧をこのターンオン電圧 $V_{00}$ より高く設定すればその発光サイリスタはONすることになる。

さてこの $T_{(01)}$ がONしている状態で、次の転送クロックパルス $\phi_1$ にハイレベル電圧 $V_H$ を印加する。このクロックパルス $\phi_1$ は発光素子 $T_{(01)}$ と $T_{(1-1)}$ に同時に加わるが、ハイレベル電圧 $V_H$ の値を次の範囲に設定すると、発光素子 $T_{(01)}$ のみをONさせることができる。

$$V_{0-1} + V_{02} > V_H > V_{00} + V_{02} \quad (3)$$

これで発光素子 $T_{(01)}$ 、 $T_{(1-1)}$ が同時にONしていることになる。そしてクロックパルス $\phi_2$ のハイレ

ベル電圧を切ると発光素子 $T_{(01)}$ がOFFとなり、ON状態の転送ができたことになる。

この様に本実施例は抵抗ネットワークで各発光サイリスタのゲート電極間を結ぶことにより、発光素子に転送機能をもたせることが可能となる。

上に述べたような原理から、転送クロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ のハイレベル電圧を順番に互いに少しずつ重なるように設定すれば、発光素子のON状態は順次転送されていく。即ち、発光点が順次転送される。本実施例によると、従来ではできなかった自己走査形発光素子アレイを実現することができる。

#### <実施例B-2>

実施例B-1では等価回路を示し説明したが、実施例B-2では実施例B-1を具体化して作成する場合の構成についての考えを説明するものである。

本実施例の構造断面図を第10図に示す。接合されたN形G&A基板(1)上にn形半導体層(24)、P形半導体層(23)、N形半導体層(

22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッチングにより、各単体発光素子 $T_{(01)} \sim T_{(11)}$ に分離する(分離溝(50))。アノード電極(40)はP形半導体層(21)とオーミック接触を有し、ゲート電極(41)はn形半導体層(22)とオーミック接触を有す。絶縁層(30)は素子と配線との短絡を防ぎ、同時に特性劣化を防ぐための保護膜でもある。絶縁層(30)は発光サイリスタの発光波長の光がよく通る材質をもちいることが望ましい。N形G&A基板(1)はこのサイリスタのカソードである。各単体発光素子のアノード電極(40)に3本の転送クロックライン( $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ )がそれぞれ3素子おきに接続される。またゲート電極には負荷抵抗 $R_L$ 、相互作用抵抗 $R_L$ による抵抗ネットワークが接続される。

ここで、実施例Aで述べたような光結合が発生すると、本実施例の転送動作が影響されることが考えられるため、ゲート電極の一部を発光素子間の分離溝のなかに入れ、光結合を防止する構造と

している。

本実施例の構成は実施例B-1(第9図)に示した等価回路と全く同じ構成であり、全く同じ動作をする。従って、転送クロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ のハイレベル電圧を順番に互いに少しずつ重なるように設定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。

#### <実施例B-3>

実施例B-3を第11図、第12図、第13図に示す。この実施例は上記実施例B-2の現実的な構造を示したものである。第11図に本実施例の平面図を、第12図及び第13図に第11図のX-X'、Y-Y'ラインの断面図を各々示す。

各発光素子 $T_{(01)} \sim T_{(11)}$ 、発光素子の分離溝(50)、フィールド(60)等は前記実施例と同様である。抵抗(63)は各々のゲート電極間を結ぶ抵抗ネットワークを形成するしている。また、該抵抗(63)は、光吸収ブロック(62)によって発光素子からの光が入らないようにされ

ている。本実施例では光障壁としてフィールドの一部をもちいているが、別の物質を用いてもよいし、また形状も別の形状としてもよい。発光素子の上部電極は、取り出し用コンタクト穴 $C_1$ を通して、電極(40)で取り出される。電極(40)と伝送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ との接続はスルーホール $C_2$ を用いて行なわれる。クロックライン $\phi_1$ は発光素子 $T_{(1)}$ 及び $T_{(2)}$ に接続され、クロックライン $\phi_2$ は発光素子 $T_{(1)}$ に、クロックライン $\phi_3$ は発光素子 $T_{(2)}$ に接続される。抵抗(63)は、コンタクト穴 $C_2$ を用いて外部に取り出される。

第12図に第11図のX-X'ラインの断面図を示す。これは発光素子アレイの配列方向に切ったラインであり、各発光素子が並んでいる様子がわかる。発光素子の分離溝(50)、発光素子と電極(40)(41)との短絡防止用絶縁膜(30)であり、電極(40)と伝送クロックラインとの短絡防止用層間絶縁膜(31)等は前述の実施例と同様である。これらの絶縁膜(30)、(31)

は、光が外部へ有効に取り出せるよう透光性の絶縁膜である必要がある。この場合、先に述べたように光結合による伝送動作への影響をなくするため、分離溝中にゲート電極を入れて光を遮るよう構成することは有効である。

第13図に第11図のY-Y'ラインの断面図を示す。これは発光素子アレイの配列方向に垂直に切ったラインであり、配線、電極の接続状況がわかる。発光素子の上部電極との取り出し用コンタクト穴 $C_1$ を絶縁膜(30)に設け、電極(40)にて外部に取り出す。そしてフィールド上にて伝送クロックライン $\phi_2$ とスルーホールを通じて接続される。また抵抗ネットワークのための抵抗として、本実施例ではn形半導体層(22)が用いられる。これは別の層であってももちろんよいし、また半導体層を用いず、スパッタ等により別の種類の膜を形成してもよい。

ゲート電極(41)は発光素子からの光が抵抗(63)の抵抗値に影響を与えないようにするため、分離溝の中に入るように工夫されている。

本実施例を実現するための製造工程としては次のような工程が挙げられる。

まずn形GaAs基板上にn形GaAs層(24b)、n形AlGaAs層(24a)、p形GaAs層(23)、n形GaAs層(22)、p形AlGaAs層(21b)、p形GaAs層(21a)を順次積層して成膜(エピタキシャル成長)する。次にホットエッチング法を用いて、分離溝(50)を形成する。そして別のマスクを用いホットエッチングにより発光素子の一部及び抵抗部のp形GaAs層(21a)、p形AlGaAs層(21b)を除去する。この後、絶縁膜(30)を成膜し、コンタクト穴( $C_1$ )、( $C_2$ )をホットエッチング法を用いて形成する。次に電極用金属を蒸着法またはスパッタ法にて成膜し、ホットエッチング法を用いて電極(40)(41)を形成する。さらに層間絶縁膜(31)を成膜し、ホットエッチング法を用いてスルーホール( $C_2$ )を形成する。そして配線用金属を蒸着法またはスパッタ法にて成膜し、ホットエッチング法を用いて伝送クロックライン( $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ )を形成

する。以上の工程により本実施例の構造が完成する。

本実施例でとくに述べなかったが、伝送クロックライン上に透光性の保護膜を設けてもよく、また絶縁膜が厚くなり光の透過率が悪化し外部に取り出せる光量が低下するのを避けるため、発光素子の上部絶縁膜の一部または全部をホットエッチング法等の方法により除去してもよい。

本発明によると集積形自己走査発光素子アレイを製造することができる。

#### <実施例B-4>

実施例B-2、B-3は発光素子として発光サイリスタを考えた場合の実施例であったが、本考案はこれに限られるものでなく他の種類の発光素子であってもよい。その一例として本実施例ではレーザサイリスタを使用する場合について述べる。

第14図に本発明の実施例B-4を示す。第14図は平面図を表し、第15図は第14図のラインX-X'にそっての断面図を示したものである。

単体発光素子(レーザサイリスタ) $T_{(1)} \sim T_{(n)}$

...等の番号は上記実施例と同様である。

第14図の製造法を概説する。n形GaAs基板(1)上にn形AlGaAs(25)、p形AlGaAs(24)、i形(ノンドープ)GaAs(23)、n形AlGaAs(22)、p形AlGaAs(21)、上部電極(20)を順次積層する(p形AlGaAs(21)と上部電極(20)との間にオーミック接触を良好にするためp形GaAs層を含む場合もある)。次にホトエッチングにより上部電極(20)を面中n形AlGaAs(25)層の幅と同じ幅を持つ長方形に加工し、これをマスクとして、p形AlGaAs(21)~n形AlGaAs(25)の層をエッチングする。この時に素子間の分離溝(50)が形成される。次にホトエッチングにより同じ上部電極(20)をさらにエッチングし、10 $\mu$ m以下の幅を持つストライプ状とし、これをマスクとして、p形AlGaAs(21)、n形AlGaAs(22)の層をエッチングする。n形AlGaAs(22)層は全部除去せず一部残すようにする。さらに絶縁膜(30c)(30b)(30a)を

成膜する。ここでこの3種類の絶縁膜であるが、これは絶縁膜(30c)(30a)と光窓絶縁膜(30b)であり、絶縁と光窓の二つの機能を持つようにしたものである。これは絶縁膜として例えばSiO<sub>2</sub>膜を使用した場合、GaAsの発光波長である870nmを透過するため、光結合を誘発する可能性があり、その間に例えば非晶質シリコンのような光吸収物質による光窓絶縁膜(30b)を設ける必要があるからである。もちろん絶縁と光窓の二つの機能を兼ね備えた物質を用いれば一層で済む。次にホトエッチングによりコンタクト穴(C<sub>1</sub>)を設け、そのうえに抵抗(63)を成膜し、ホトエッチングする。さらに層間絶縁膜(31)を形成し、スルーホール(C<sub>2</sub>)をホトエッチングにより形成する。この際、抵抗(63)上のスルーホールは絶縁膜(31)のみ除去すればよいが、上部電極(20)上のスルーホールは絶縁膜(31)と同時に絶縁膜(30c)(30b)(30a)も除去する必要があるため注意が必要である。この後転送クロックライン用の配線金属

を蒸着またはスパッタ等により形成し、ホトエッチングにより転送クロックライン( $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ )及び電源V<sub>ss</sub>ラインを形成する。そして最後にへき同等の手法によりレーザ光出力側の端面を平行度よく形成し、本実施例の構造ができあがる。

上記実施例B-1~B-4の発光素子アレーも実施例A同様、従来の発光素子アレーにはない自己走査機能を持ち、起立の効率化、小型化、高ビッチ化等の効果を有する。

上記実施例B-1~B-4では、転送クロックパルスとして、 $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ の3相を想定したが、前記実施例A同様、より安定な転送動作を求める場合にはこれを4相、5相と増加させてもよい。

さらに、各実施例では発光素子を一列に並べているが、前記実施例A同様、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。

また、発光素子は発光サイリスタである必要はなく、外部電位によって自らのターンオン電圧が変化する発光素子であれば、特に限定されず、前

述の通り、レーザサイリスタであってもよい。

また本発明は発光素子を単体の個別部品で構成してもよく、またなんらかの方法で集積化することにより実現してもよい。

発光サイリスタの構造も、前記実施例Aで記載した通り、より複雑な構造、層構成を導入したものであってもよいし、6層以上の構成等の任意の構造でかまわない。

尚、本発明の一連の実施例A、Bは基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してきたが、本発明はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドープした半導体性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

尚レーザの構造は本構造にかぎられるものでは

なく、例えばTJS形、BH形、CSP形、VSIS形等を用いてももちろんよい(S. M. Sze 著、Physics of Semiconductor Physics, 2nd Edition pp724-730)。また材料についてもAlGaAsを主体に説明したが、これ以外の材料(例えばAlInP、InGaAsP、ZnSe、GaP等)であってもよい。

また、上記実施例A、Bにおいては、発光中の発光素子が隣接する発光素子に最もその影響を与え、隣接発光素子が次駆動発光素子となる様に構成していたが、本発明は上記に限らず、例えば1つおきに最もその影響を与えるように構成し、1つおきの発光素子に転送駆動可能とすることもできる。

#### 実施例C

ここで説明する実施例Cは先に述べた実施例A、Bにより構成された発光素子アレイの駆動方法に関するものである。

#### <実施例C-1>発光素子アレイの駆動方法

実施例C-1の説明図を第16図に示す。第1

ード電流が増加し、発光強度もまた大きくなる。

発光強度 $I$ の図も同時に示したが、電流源からの電流なしの場合の発光強度を $I_0$ とし、発光素子 $T_{(i)}$ の発光強度のみ強くなっている様子がわかる。この駆動方法を用いると任意の場所の発光強度を強くすることができ、場所的な光書き込みが可能となる。

本実施例の発光素子としてレーザサイリスタを使用した場合、転送クロックによるアノード電流をレーザ発振のしきい電流以下にしておけば、通常転送状態ではレーザ光は出ず、発光信号が出た時のみレーザ光をだせるようにすることができる。

#### 応用例

ここで説明する応用例は先に述べた実施例A、Bにより構成された発光素子アレイ、及び実施例Cで述べたその駆動方法の応用に関するものである。

#### <応用例1>密着形イメージセンサへの応用

第17図に本発明の第一の応用例である密着形イメージセンサの原理図を示す。これは本発明に

6図には、駆動原理を表す等価回路図および各素子に印加するのバルス波形を示している。

本実施例は転送クロックバルス $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ に並列にそれぞれ電流源 $I_1$ 、 $I_2$ 、 $I_3$ を併置し、その電流源を発光信号 $\phi$ により制御するように構成したものである。

動作について説明する。まずスタートバルス $\phi$ により発光素子 $T_{(i)}$ がONする。そして次々に転送バルス $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ を印加することにより、ON状態の転送が行われる。この機構については実施例A、Bによりすでに説明した通りである。

今発光素子 $T_{(i)}$ の位置をより強く発光させたい場合、発光点 $T_{(i)}$ にきた時刻を見計らって発光信号 $\phi$ をハイレベルとする。この時 $\phi_1$ に同期して電流源 $I_1$ 、 $I_2$ 、 $I_3$ から電流が流れ込む。しかしONしている $T_{(i)}$ のアノードは電流源からの電流を吸い込むが、これ以外の発光素子はOFF状態のため電流を吸い込まず、流れ込んだ電流は転送クロックバルスを出している駆動回路側に流れ出てしまう。従ってONしている発光素子のアノ

ード電流が増加し、発光強度もまた大きくなる。発光強度 $I$ の図も同時に示したが、電流源からの電流なしの場合の発光強度を $I_0$ とし、発光素子 $T_{(i)}$ の発光強度のみ強くなっている様子がわかる。この駆動方法を用いると任意の場所の発光強度を強くすることができ、場所的な光書き込みが可能となる。

第17図ではガラス基板上にアモルファスSiによる光センサが形成されている。従来はこの光センサを $100\mu\text{m}$ 程度の画素に分割し、それを読み取り用ICで走査し、取り出す方式をとっていた。そして照明をLEDで均一に行っていた。ここで示す方式はアモルファスSiによる光センサを画素分割せず、代わりに照明の方で走査するものである。

第17図ではガラス基板(A1)上に光導版を兼ねた電極(A2)、アモルファスSi(A3)、透明電極(A4)、電極(A5)が形成されている。この構成では光によってアモルファスSi(A3)の電気伝導率が上昇するため、電極(A2)と電極(A5)との抵抗が光が当たることによって低下する現象を利用している。さてこれらの上には透明保護層(A6)が設けられ、これに密着して基板(A7)がくる。さて本実施例の発光素子アレイ(A10)はガラス基板(A1)の反対側

に設けられ、その光はロッドレンズアレイ(A9)を通し、光センサの中央部に設けられた光を導入するための窓(A8)を通して、原稿(A7)上に結像するように構成されている。

発光素子アレイ(A10)は本発明に従い、発光点が順次移動する機構を持ち、それによって、原稿上の結像点も順次移動していく。いま原稿上の文字等による画像があると原稿からの反射光もそれに従い変化する。これをアモルファスSiによる光センサで読み取る。

またこの発光素子アレイとしてレーザサイリスタを用いると、その高い量子効率から光量の多い発光素子アレイを得ることが出来、低消費電力または高速の読みだしを行なうことができる。

このようにして本発明による発光素子アレイは原稿等の文字、画像の読み取りに応用出来、ファクシミリ、バーコードリーダ、複写機等への幅広い応用が期待できる。

<応用例2>光プリンタ及びディスプレイへの応用

さて本発明による発光素子アレイを実施例C-1で示した駆動方法で動作させたものを、発光素子アレイ光プリントヘッドに応用する。光プリントヘッドの構造を第19図に示す。これは発光素子アレイとロッドレンズアレイで構成されるレンズの焦点が感光ドラム上に結ぶようになっている。実施例C-1で示した駆動方法を用いると、本発明の発光素子アレイではON状態が転送しながら光を書き込みたい位置で、発光強度を大きくできるので感光ドラムに画像情報を書き込むことができる。

またこの発光素子アレイとしてレーザサイリスタを用いると、その高い量子効率から光量の多い発光素子アレイを得ることが出来、低消費電力または高速の書き込み即ちプリントを行うことができる。

以上より本発明は光プリンタへも適用可能である。

この光プリンタ用発光素子アレイは一次元方向に一列に並べた構成であった。このアレイを平面

本発明の第2の応用例として光プリンタへの応用について述べる。従来のLEDアレイの各画素に駆動用ICを接続したモジュールを使って光プリンタへ応用した例が知られている。光プリンタの原理図を第18図に示す。まず円筒形の感光ドラム(B1)の表面にアモルファスSi等の光導電性を持つ材料(感光体)が作られている。このドラムはプリントの速度で回転している。まず帯電器(B7)で感光体表面を一様に帯電させる。そして発光素子アレイ光プリントヘッド(B8)で印字するドットイメージの光を感光体上に照射し、光の当たったところの帯電を中和する。次に現像器で感光体上の帯電状態に従って、トナーを感光体上に付ける。そして転写器(B2)でカセット(B11)中から送られてきた用紙(B9)上にトナーを転写する。そしてその用紙は定着器(B3)にて定着を加えられ定着される。一方転写の終了したドラムは消去ランプ(B5)で帯電が全面に渡って中和され、清掃器(B6)で残ったトナーが除去される。

的に並べるとディスプレイを作ることができる。この構成を第20図に示す。アレイがN個並んでいるとすると映像信号は $\phi_1(1) \sim \phi_1(N)$ から書き込めばよい。集積化した発光素子アレイを用いれば高密度の表示素子を作ることができるし、単体発光素子を組み合わせて作るならば大面積のディスプレイを作ることができる。

#### [発明の効果]

以上述べてきたように、本発明は発光素子アレイ自身に自己走査機能をもたせることにより、従来例で挙げたワイヤボンディングの粒の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決することができる。発光素子アレイが自己走査することにより駆動ICは不要となり、従ってワイヤボンディングが不要となる。

また本発明は密着イメージセンサ、光プリンタ、ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

#### 4. 図面の簡単な説明

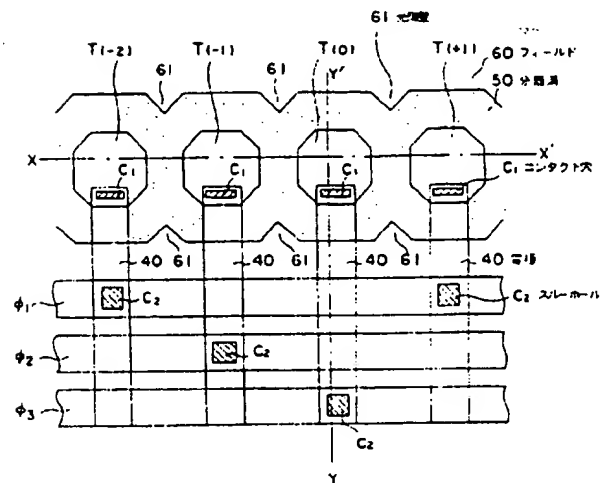
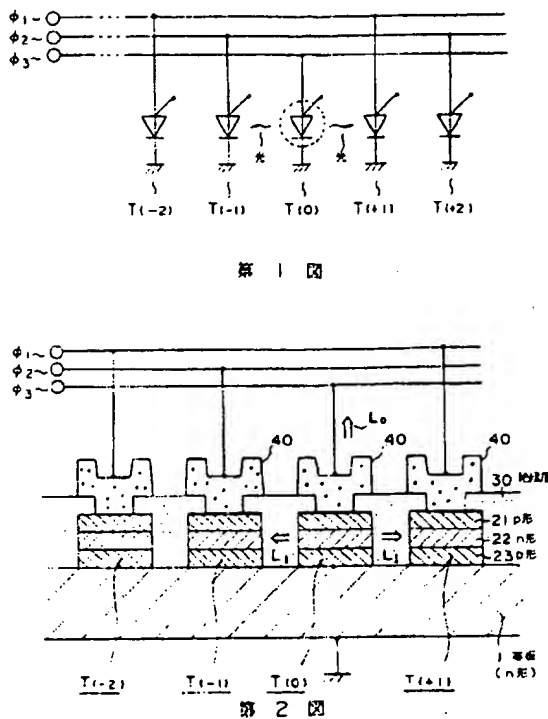
第1図は実施例A-1にて説明した光を用いた

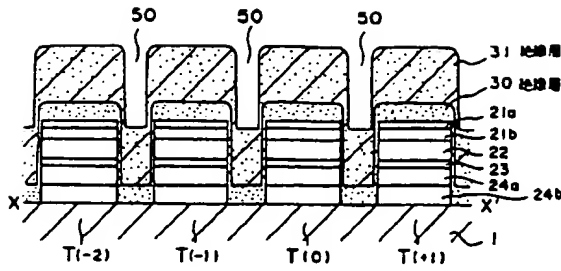
発光素子アレイの概略を示す回路図、第2図は実施例A-2にて説明した光を用いた発光素子アレイの概略を示す断面図、第3図は実施例A-3にて説明した光を用いた発光素子アレイの概略を示す断面図、第4図及び第5図は実施例A-3にて説明した光を用いた発光素子アレイの概略を示す断面図、第6図はA-4にて説明した光を用いた発光素子アレイの概略を示す断面図、第7図は実施例A-5にて説明した光を用いた発光素子アレイの概略を示す断面図、第8図は実施例A-5にて説明した光を用いた発光素子アレイの概略を示す断面図、第9図は実施例B-1にて説明した電位を用いた発光素子アレイの概略を示す回路図、第10図は実施例B-2にて説明した電位を用いた発光素子アレイの概略を示す断面図、第11図は実施例B-3にて説明した電位を用いた発光素子アレイの概略を示す断面図、第12図及び第13図は実施例B-3にて説明した電位を用いた発光素子アレイの概略を示す断面図、第14図はB-4にて説明した電位を用いた発光素子アレイの

概略を示す断面図、第15図は実施例B-4にて説明した電位を用いた発光素子アレイの概略を示す断面図、第16図は実施例Cにて説明した発光素子アレイの駆動方法の概略を示す回路図および各パルスの波形を示す図、第17図は応用例1で説明した密着型イメージセンサの概略を示す断面図、第18図は応用例2で説明した光プリンタの概略を示す断面図、第19図は応用例2で説明した光プリンタヘッドの概略を示す断面図、第20図は応用例2で説明した光ディスプレイの概略を示す断面図、第21図はダブルヘテロ構造の発光サイリスタの概略を示す断面図、第22図は発光サイリスタの概略構造を示す断面図、第23図は発光サイリスタの電流-電圧特性を示す図、第24図は3端子サイリスタの概略構造を示す断面図である。

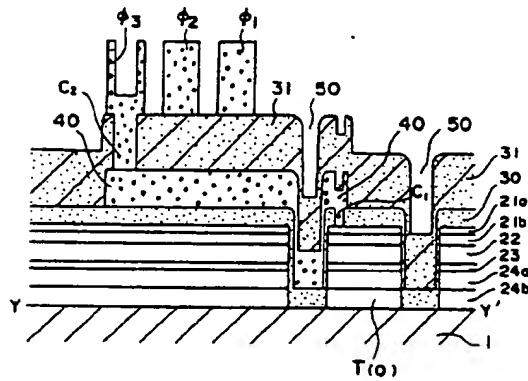
特許出願人 日本電産株式会社

代理人 井理士 大野 晴 市

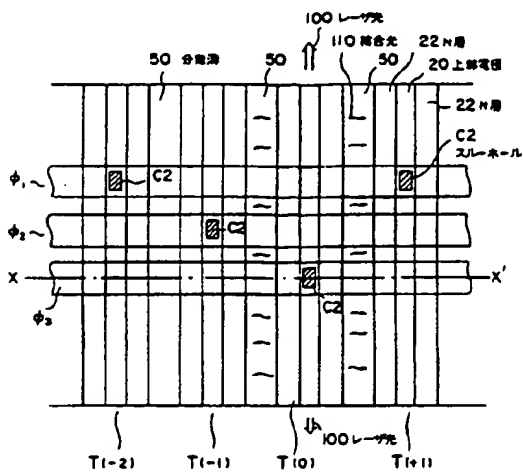




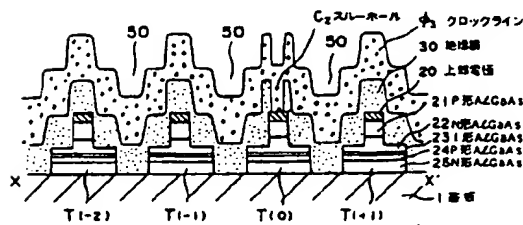
第 4 図



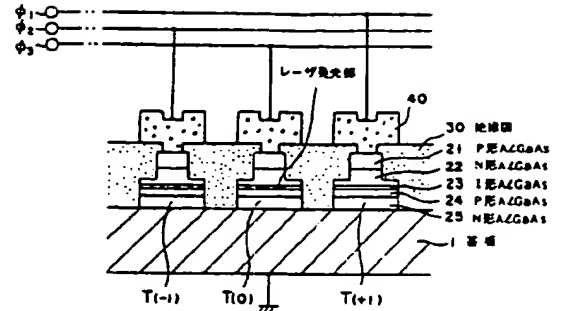
第 5 図



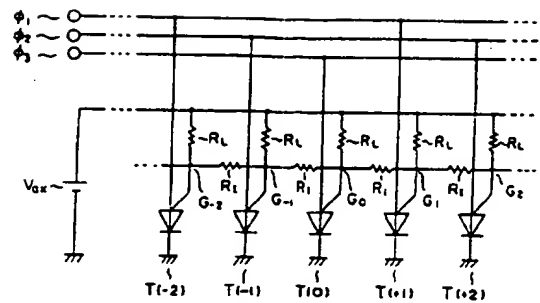
第 7 図



第 8 図

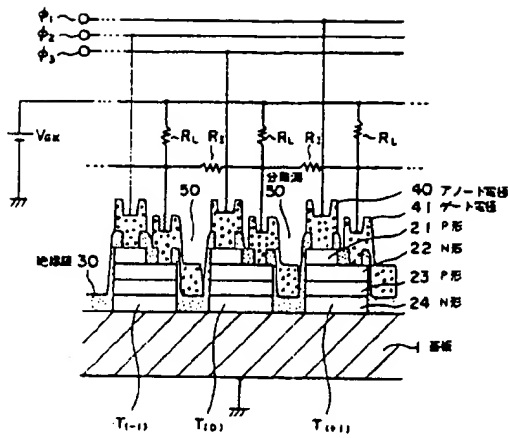


第 6 図

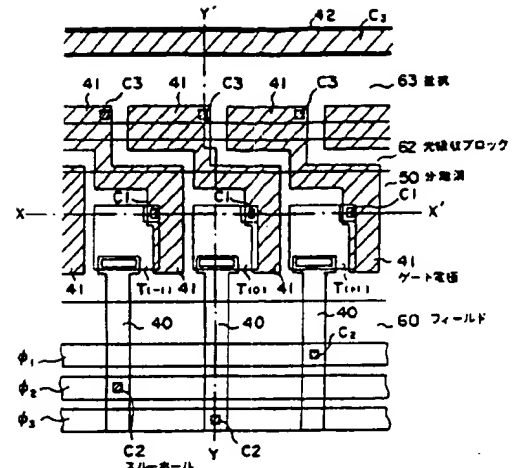


第 9 図

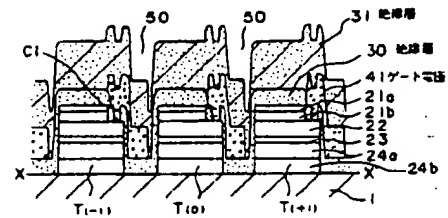




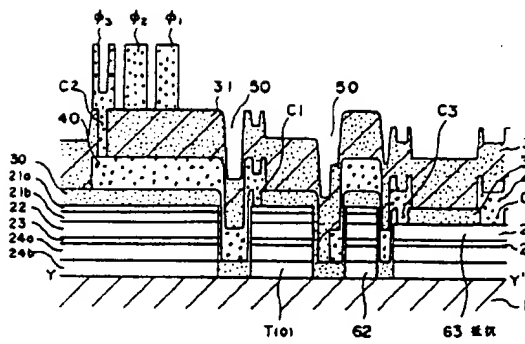
第 10 図



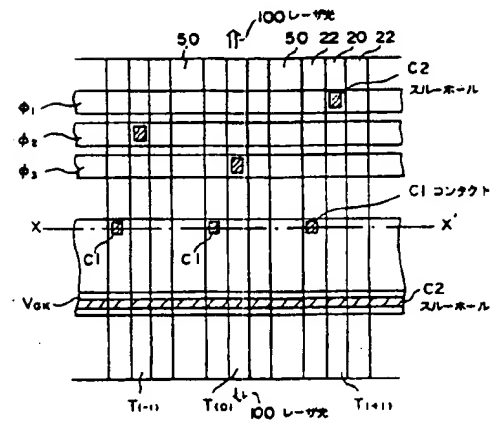
第 11 図



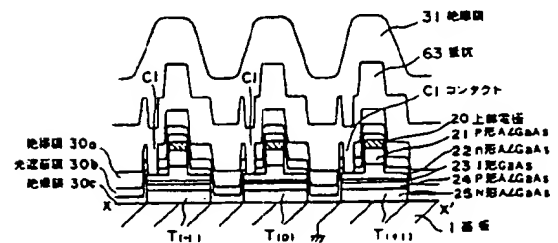
第 12 図



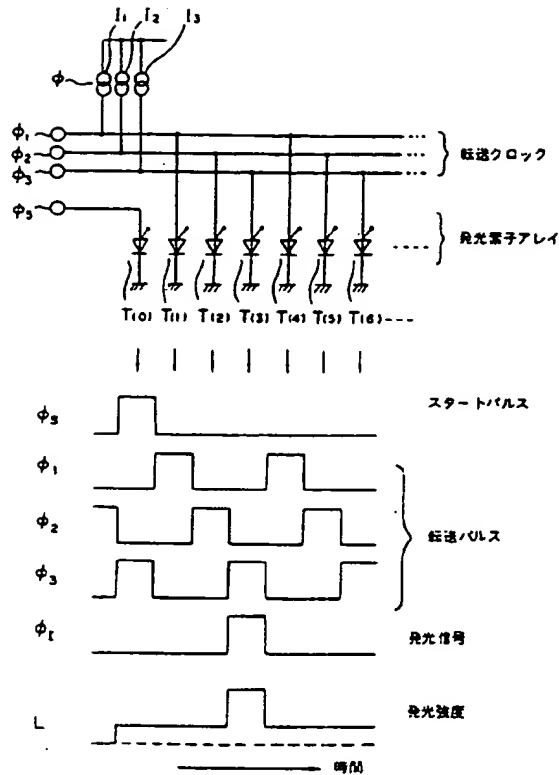
第 13 図



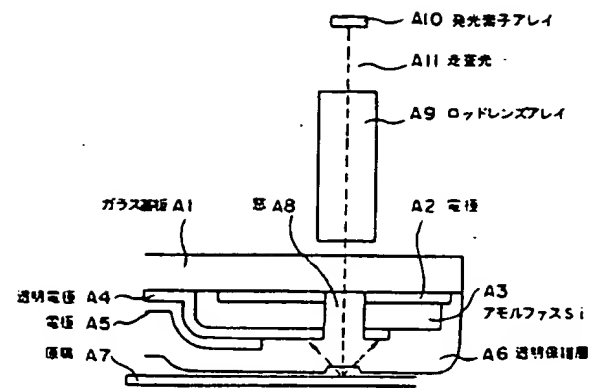
第 14 図



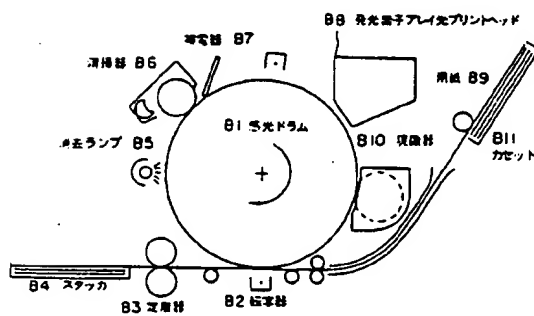
第 15 図



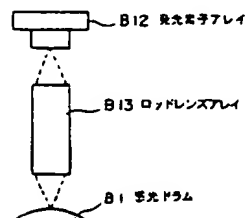
第 16 図



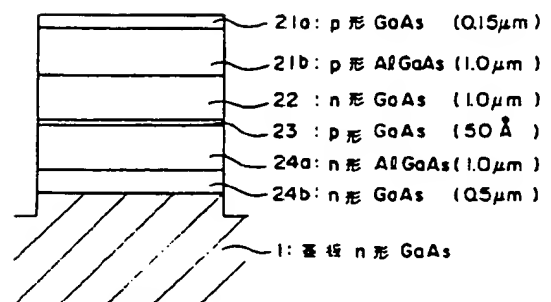
第 17 図



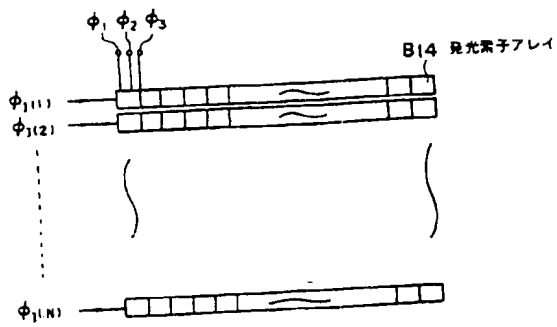
第 18 図



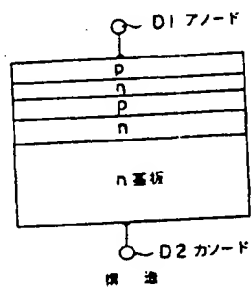
第 19 図



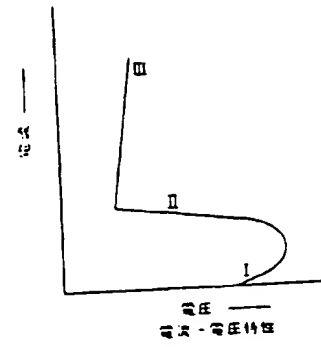
第 21 図



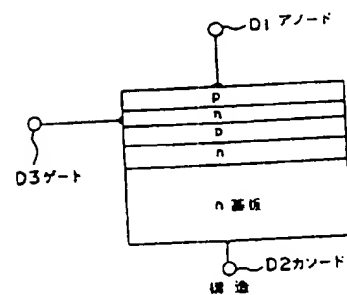
第 20 図



第 22 図



第 23 図



第 24 図

**THIS PAGE BLANK (USPTO)**